

Practitioner's Docket No.: 040008-0307459
Client Reference No.: OG03-028

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: CHEE HONG CHOI, Confirmation No: 2872
et al.

Application No.: 10/747,618

Group No.: 2812

Filed: December 30, 2003

Examiner: Unassigned

For: METHOD FOR FABRICATING TRANSISTOR OF SEMICONDUCTOR DEVICE


**Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450**

SUBMISSION OF PRIORITY DOCUMENT

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

<u>Country</u>	<u>Application Number</u>	<u>Filing Date</u>
Republic of Korea	10-2002-0087307	12/30/2002

Date: April 29, 2004
PILLSBURY WINTHROP LLP
P.O. Box 10500
McLean, VA 22102
Telephone: (703) 905-2000
Facsimile: (703) 905-2500
Customer Number: 00909


Glenn T. Barrett
Registration No. 38705



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0087307
Application Number

출원 년 월 일 : 2002년 12월 30일
Date of Application DEC 30, 2002

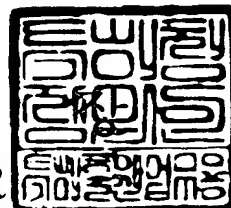
출원인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 11 월 18 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0025
【제출일자】	2002. 12. 30
【발명의 명칭】	반도체 장치의 트랜지스터 제조 방법
【발명의 영문명칭】	method for manufacturing a transistor in a semiconductor device
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	2001-050901-4
【발명자】	
【성명의 국문표기】	최치홍
【성명의 영문표기】	CHOI, Chee Hong
【주민등록번호】	730722-1670310
【우편번호】	604-825
【주소】	부산광역시 사하구 다대1동 831-1 604-051
【국적】	KR
【발명자】	
【성명의 국문표기】	김태우
【성명의 영문표기】	KIM, Tae Woo
【주민등록번호】	680809-1069615
【우편번호】	467-850
【주소】	경기도 이천시 대월면 현대전자사원아파트 106동 1206호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 강성배 (인)

【수수료】

【기본출원료】	13 면	29,000 원
【가산출원료】	0 면	0 원
【우선권주장료】	0 건	0 원
【심사청구료】	0 항	0 원
【합계】	29,000 원	
【첨부서류】	1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

본 발명은 반도체 장치의 트랜지스터 제조방법을 개시한다. 개시된 발명은 기판 상에 희생막을 형성하는 단계와, 상기 희생막을 이온 주입 마스크로 사용한 제1이온 주입을 실시하여 상기 기판에 소스/드레인 전극을 형성하는 단계와, 상기 희생막을 갖는 기판 상에 장벽층을 형성하는 단계와, 상기 희생막의 일부분을 제거하는 단계와, 상기 일부분이 제거된 희생막을 이온 주입 마스크로 사용한 제2이온 주입을 실시하여 상기 기판에 제2예비 소스/드레인 전극을 형성함으로써 상기 기판의 문턱 전압의 조정을 위한 이온을 주입시키는 단계와, 상기 희생막의 제거된 부분에 게이트 전극을 형성하는 단계와, 제3이온 주입을 실시하여 상기 게이트 전극의 도핑 농도를 조정하는 단계를 포함한다. 따라서, 본 발명의 방법으로 형성된 트랜지스터의 경우에는 단채널 효과 및 역방향 단채널 효과의 발생이 감소된다.

【대표도】

도 2d

【명세서】**【발명의 명칭】**

반도체 장치의 트랜지스터 제조 방법{method for manufacturing a transistor in a semiconductor device}

【도면의 간단한 설명】

도 1a 내지 도 1e는 종래의 반도체 장치의 제조 방법을 설명하기 위한 소자 공정단면도,
도 2a 내지 도 2f는 본 발명의 일 실시예에 따른 반도체 장치의 트랜지스터 제조 방법을
설명하기 위한 소자 공정단면도.

[도면의 주요부분에 대한 부호설명]

40 : 기판 42 : 소자분리막
44 : 희생막 46 : 소스/드레인전극
48 : 장벽층 50 : 게이트전극

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 반도체 장치의 제조 방법에 관한 것으로서, 보다 상세하게는 반도체 장치의
트랜지스터를 제조하기 위한 방법에 관한 것이다.

<8> 일반적으로, 반도체 장치의 대부분은 트랜지스터를 구비하고 있는데, 상기 반도체 장치
의 제조에서 형성되는 트랜지스터를 형성하는 방법에 대해 도 1a 내지 도 1e를 참조하여 설명
하면 다음과 같다.

- <9> 도 1a 내지 도 1e는 종래기술에 따른 반도체장치의 제조방법을 설명하기 위한 공정단면도이다.
- <10> 종래기술에 따른 반도체소자의 트랜지스터 형성방법은, 도 1a에 도시된 바와같이, 소자 분리막(12)을 갖는 기판(10)을 마련한다.
- <11> 그다음, 문턱전압(V_{th}) 조절을 위해 상기 기판(10)에 이온주입을 실시한다.
- <12> 이어서, 도 1b에 도시된 바와같이, 상기 기판(10)에 게이트 전극(16)을 형성한후 상기 게이트전극(16)을 이온 주입 마스크로 사용한 이온 주입을 실시하여 상기 기판(10)에 얇은 접합의 제1 예비 소스/드레인전극(18)이 형성한다.
- <13> 그다음, 도 1c 및 도 1d에 도시된 바와같이, 상기 게이트 전극(16)을 갖는 기판(10)상에 스페이서의 형성을 위한 절연막(20)을 형성한 후, 상기 절연막(20)을 전면 식각하여 상기 게이트 전극(16)의 측벽에 스페이서(22)를 형성한다.
- <14> 이어서, 도 1e에 도시된 바와같이, 상기 스페이서(22)를 이온 주입 마스크로 사용한 이온 주입을 실시하여 상기 이온 주입에 의해 상기 기판(10)에 깊은 접합의 제2예비 소스/드레인 전극(30)을 형성한다.
- <15> 상기에서와 같이, 상기 기판(10)에 게이트 전극(16) 및 제1예비 소스/드레인 전극(18)과 제2예비 소스/드레인 전극을 갖는 소스/드레인 전극(30)을 포함하는 트랜지스터가 형성된다.
- 【발명이 이루고자 하는 기술적 과제】**
- <16> 상기와 같은 종래 방법을 의해 트랜지스터를 형성하는 경우에는 다음과 같은 문제점들이 나타난다.

- <17> 첫째, 상기 제1예비 소스/드레인 전극을 형성한 후, 스페이서를 형성하는 공정에서 열처리를 실시하기 때문에 상기 제1예비 소스/드레인을 구성하는 이온들의 확산이 일어난다.
- <18> 이와 같이, 상기 제1예비 소스/드레인의 이온들이 확산함으로서 유효 채널의 길이가 상기 게이트 전극의 형성에 의해 결정된 채널의 길이보다 짧아지므로써 상기 공정으로 인하여 단 채널 효과가 야기되는 문제점을 갖는다.
- <19> 둘째, 상기 소스/드레인 전극의 형성을 위한 이온 주입을 실시할 때 앞서 주입된 이온 즉, 문턱 전압의 조정을 위하여 기판에 주입된 이온들의 외부-확산(out-diffusion)이 일어난다
- <20> 이는 상기 문턱 전압의 조정을 위한 이온들은 대체적으로 가벼운 이온이고, 상기 소스/드레인 전극의 형성을 위한 이온들은 무거운 이온이기 때문이다. 즉, 상기 무거운 이온들이 주입될 때 상기 가벼운 이온들과 충돌이 일어나고, 상기 충돌로 인하여 상기 가벼운 이온들이 튕겨져 나가기 때문이다.
- <21> 이와 같이, 상기 외부-확산이 발생할 경우 상기 문턱 전압의 조정을 위한 이온들의 농도가 낮아진다. 그리고, 상기 농도가 낮아짐으로서 문턱 전압이 감쇠?? 역방향 단채널 효과가 발생한다.
- <22> 이와 같이, 종래의 방법을 통하여 트랜지스터를 형성할 경우 전술한 문제점이 지적되는 것이다.
- <23> 이에 본 발명은 상기 종래기술에 따른 제반 문제점을 해결하기 위하여 안출한 것으로서, 본 발명의 목적은 단채널 효과와 역방향 단채널 효과의 감소가 가능한 반도체 장치의 트랜지스터 제조 방법을 제공함에 있다.

【발명의 구성 및 작용】

- <24> 상기 목적을 달성하기 위한 본 발명은, 기판 상에 희생막을 형성하는 단계와, 상기 희생막을 이온 주입 마스크로 사용한 제1이온 주입을 실시하여 상기 기판에 소스/드레인 전극을 형성하는 단계와, 상기 희생막을 갖는 기판 상에 장벽층을 형성하는 단계와, 상기 희생막의 일부분을 제거하는 단계와, 상기 일부분이 제거된 희생막을 이온 주입 마스크로 사용한 제2이온 주입을 실시하여 상기 기판에 제2예비 소스/드레인 전극을 형성함으로써 상기 기판의 문턱 전압의 조정을 위한 이온을 주입시키는 단계와, 상기 희생막의 제거된 부분에 게이트 전극을 형성하는 단계와, 제3이온 주입을 실시하여 상기 게이트 전극의 도핑 농도를 조정하는 단계를 포함하여 구성되는 것을 특징으로 한다.
- <25> 이와 같이, 본 발명에 의하면, 희생막을 형성하는데 상기 희생막을 형성할 때 그것의 길이의 조정이 이루어진다. 따라서, 스페이서로 구성되는 부분의 길이 또한 적절하게 조절할 수 있기 때문에 유효 채널의 길이가 줄어드는 것을 방지할 수 있다. 또한, 문턱 전압 조정을 위한 이온 주입을 소스/드레인 전극을 형성한 후 실시함으로써 상기 문턱 전압 조정을 위하여 주입된 이온들의 외부-확산을 저지할 수 있다.
- <26> 따라서, 본 발명의 방법으로 형성된 트랜지스터의 경우에는 단채널 효과 및 역방향 단채널 효과의 발생이 감소된다.
- <27> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예에 대하여 상세하게 설명하기로 한다.
- <28> 도 2a 내지 도 2f는 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 공정단면도이다.

- <29> 본 발명의 바람직한 실시예는, 도 2a에 도시된 바와같이, 소자 분리막(42)을 갖는 기판(40)을 마련한다. 이때, 상기 소자 분리막(42)은 트렌치 구조물로 구성되는 것이 바람직하다. 이는 상기 트렌치 구조물이 필드 산화막에 비해 협소한 면적을 차지하기 때문이다.
- <30> 그다음, 도 2b에 도시된 바와같이, 상기 기판(40) 상에 희생막(44)을 형성한다. 이때, 상기 희생막의 예로서는 실리콘 산화막 또는 실리콘 질화막을 들 수 있다. 또한, 상기 희생막(44)은 패터닝에 의해 상기 기판(40)의 활성 영역 상에만 형성된다. 즉, 상기 기판(40)상에 희생막(44)의 형성을 위한 박막을 형성한 후, 상기 박막을 패터닝하여 상기 활성 영역 상에만 남김으로서 형성되는 것이다. 이때, 상기 희생막(44)의 길이를 적절하게 조정함으로써 후속되는 공정에서 스페이서로 사용하기 위한 부분의 길이를 적절하게 조정할 수 있다. 이는 상기 스페이서 사용하기 위한 부분의 길이를 적절하게 조정함으로써 유효 채널의 길이가 짧아지는 것을 저지하기 위함이다.
- <31> 이어서, 상기 희생막(44)을 이온 주입 마스크로 사용한 이온 주입을 실시하여 상기 기판(40)에 소스/드레인 전극(46)을 형성한다.
- <32> 그다음, 도 2c에 도시된 바와같이, 상기 희생막(44)을 갖는 기판(40) 상에 장벽층(48)을 형성한다. 이때, 상기 장벽층(48)의 예로서는 실리콘 질화막을 들 수 있고, 그것의 두께는 300 내지 1,000Å 정도를 갖는다.
- <33> 이어서, 도 2d에 도시된 바와같이, 패터닝을 통하여 상기 희생막(44)의 일부를 제거한다. 즉, 사진 식각 공정을 통하여 상기 장벽층(48) 및 상기 희생막(44)의 일부를 제거함으로써 상기 기판(40)의 일부 영역이 노출된 패턴을 얻을 수 있다.

- <34> 그다음, 상기 일부분이 제거된 희생막(44)을 이온 주입 마스크로 사용한 이온 주입을 실시하여 상기 노출된 기판(40)의 일부 영역에 이온을 주입한다. 여기서, 상기 이온은 트랜지스터의 문턱 전압을 조정하기 위한 이온에 해당된다. 이때, 상기 문턱 전압 조정용 이온의 주입은 상기 소스/드레인 전극(46)의 형성을 위한 이온 주입 이후에 실시된다. 따라서, 가벼운 이온이 주입되기 때문에 앞서 주입된 무거운 이온에는 거의 영향을 끼치지 않는다.
- <35> 이어서, 도 2e에 도시된 바와같이, 상기 희생막(44)의 제거된 부위에 게이트 전극(50)을 형성한다. 이때, 상기 게이트 전극(50)의 형성은 상기 제거된 부위에 상기 게이트 전극(50)을 형성하는 도전 물질을 매립시킴에 의해 달성된다.
- <36> 그다음, 도 2f에 도시된 바와같이, 상기 게이트 전극(50)의 도핑 농도를 조절하기 위한 이온 주입을 실시한다. 이때, 상기 기판(40) 상에는 장벽층(48)이 형성되어 있기 때문에 상기 기판(40)에는 이온이 주입되지 않는다. 따라서, 상기 이온 주입을 안정적으로 실시할 수 있다.
- <37> 이에 따라, 상기 기판(40)상에는 소스/드레인 전극(46)과 게이트 전극(50)을 갖는 트랜지스터가 형성된다.

【발명의 효과】

- <38> 본 발명에 의하면, 길이의 조절이 적절한 희생막을 사용한다. 상기 희생막의 길이 조절은 패터닝에 의해 이루어지는데, 매우 일반적이다. 따라서, 상기 희생막의 길이 조절은 용이하게 이루어진다.
- <39> 이와 같이, 상기 희생막의 길이 조절을 통하여 유효 채널 길이가 짧아지는 것을 저지할 수 있다. 즉, 상기 희생막의 일부분을 제거할 때 남겨지는 부분의 길이가 조정되기 때문이다.

- <40> 다시 말해, 상기 희생막을 제거한 부분에 게이트 전극이 형성되고, 이때 남겨진 부분의 희생막이 스페이서의 기능을 갖기 때문이다. 이와 같이, 상기 희생막의 길이 조절을 통하여 유 효 채널 길이가 짧아지는 것을 저지함으로서 단채널 효과를 방지할 수 있다.
- <41> 또한, 소스/드레인 전극을 형성한 후, 문턱 전압의 조절을 위한 이온 주입을 실시한다. 때문에, 상기 이온 주입에 의한 충돌로 인하여 발생하는 외부-확산이 감소된다. 이와 같이, 상기 외부-확산을 감소시킴으로서 역방향 단채널 효과도 줄일 수 있다.
- <42> 따라서, 본 발명의 방법은 전기적으로 안정적인 기능을 갖는 트랜지스터를 구현할 수 있는 장점이 있다.
- <43> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

기판 상에 희생막을 형성하는 단계;

상기 희생막을 이온 주입 마스크로 사용한 제1이온 주입을 실시하여 상기 기판에 소스/드레인 전극을 형성하는 단계;

상기 희생막을 갖는 기판 상에 장벽층을 형성하는 단계;

상기 희생막의 일부분을 제거하는 단계;

상기 일부분이 제거된 희생막을 이온 주입 마스크로 사용한 제2이온 주입을 실시하여 상기 기판의 문턱 전압의 조정을 위한 이온을 주입시키는 단계;

상기 희생막의 제거된 부분에 게이트 전극을 형성하는 단계; 및

제3이온 주입을 실시하여 상기 게이트 전극의 도핑 농도를 조정하는 단계를 포함하여 구성되는 것을 특징으로하는 반도체 장치의 트랜지스터 제조 방법.

【청구항 2】

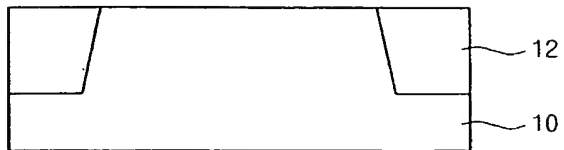
제1항에 있어서, 상기 희생막은 실리콘 산화막 또는 실리콘 질화막인 것을 특징으로 하는 반도체 장치의 트랜지스터 제조 방법.

【청구항 3】

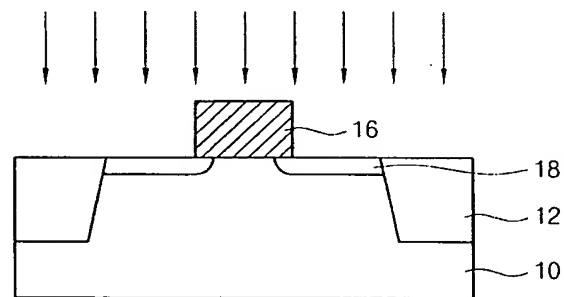
제1항에 있어서, 상기 장벽층은 300 내지 1,000Å의 두께를 갖는 실리콘 질화막인 것을 특징으로 하는 반도체 장치의 트랜지스터 제조 방법.

【도면】

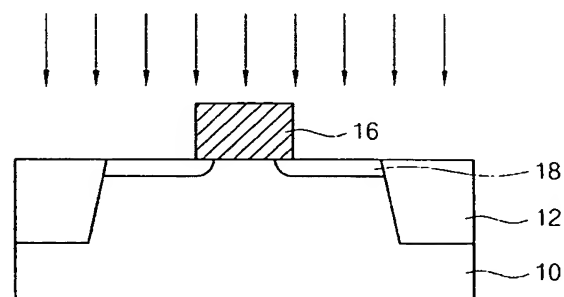
【도 1a】



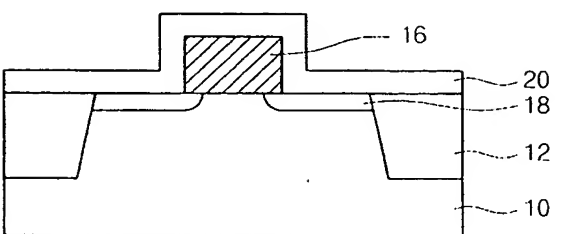
【도 1b】



【도 1c】



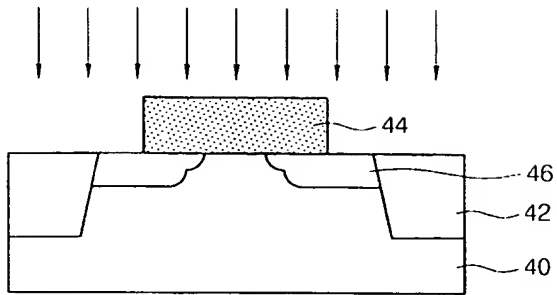
【도 1d】



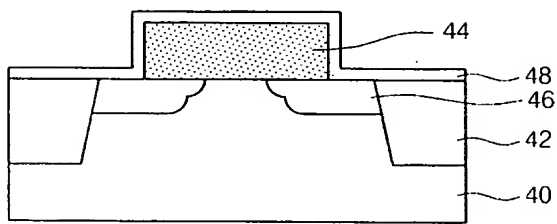
【도 2a】



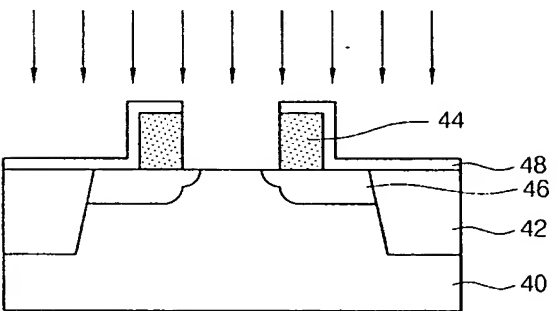
【도 2b】



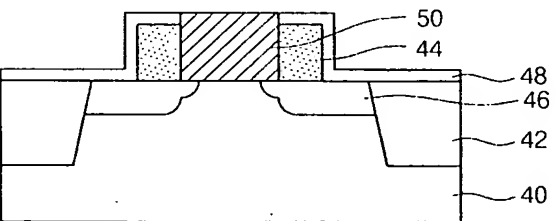
【도 2c】



【도 2d】



【도 2e】



【도 2f】

